#### 概要

CS6105全差分音频功率放大器适用于移动电话、音乐播放器、DVD、笔记本电脑以及其他便携式电子产品。在5V电源供电,输出信号的THD小于1%的条件下,能够向8Ω负载提供1.35W的连续功率。CS6105的工作电源电压范围为2.2V~5.5V,可通过外部电阻来设置增益。CS6105具有卓越的射频噪声抑制能力;在217Hz时-90dB的PSRR;内置pop & click杂音抑制电路以及极低的关断电流。CS6105提供纤小的DFN,MSOP等封装形式,极少的外部元件数目,有助于节省PCB面积。以上这些特性让CS6105非常适用于手机等便携式电子产品。

封装

- DFN3\*3\_8L
- DFN2\*2-8L
- MSOP8
- 其他客户要求的封装形式

#### 描述

- 全差分音频功率放大器
- 217Hz时的PSRR(电源电压大于3.0V): -90dB
- 输出功率

PO at 1% THD+N, VDD = 5V

RL = 8 Ω 1.35W(典型值)

PO at 1% THD+N, VDD = 3.6V

RL = 8 Ω 0.7W(典型值)

PO at 10% THD+N, VDD = 5.0V RL =  $4 \Omega$  2.72W(典型值,仅限DFN封装)

PO at 1% THD+N, VDD = 3.6V

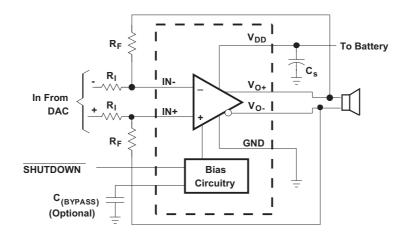
RL = 4 Ω 1.08W(典型值)

- 工作电压范围: 2.5V到5.5V
- 极低的关断电流: 0.01μA
- 低工作电流: 2.0mA(典型值)
- 改进的启动/关断音频杂音 (pop & click)抑制电路
- 过热保护电路
- 无需输出耦合电容
- 单位增益稳定
- 增益外部可调
- 符合RoHS标准,100%无铅封装

#### 应用

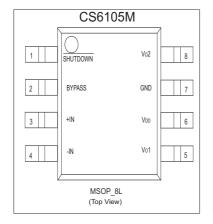
- 手机
- 便携式音频设备
- PDA
- 笔记本电脑

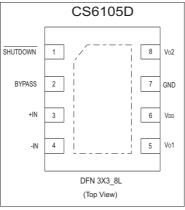
#### 应用线路图

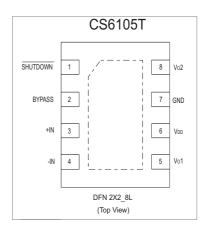


page1 Jul,2010 Rev.1.0

### 管脚分布







# 管脚定义以及功能

管脚序号	符号	描述		
1	SHUTDOWN	关断控制断端 (低电平有效)		
2	BYPASS	Bypass 电容管脚		
3	IN+	正端音频输入		
4	IN-	负端音频输入		
5	Vo+	正端音频输出		
6	VDD	供电电源		
7	GND	地端		
8	Vo-	负端音频输出		

page2 Jul,2010 Rev.1.0

### 典型应用图

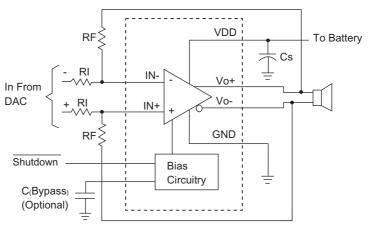


图 1 典型的差分输入应用线路图

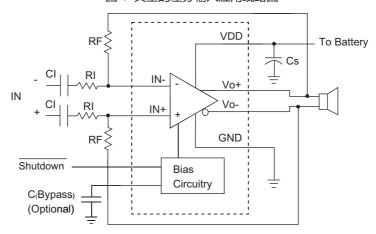


图 2 用输入电容优化的差分输入应用线路图

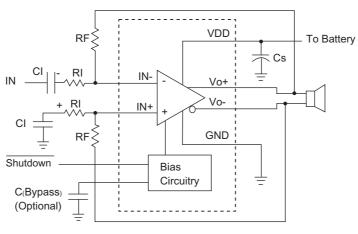


图 3 单端输入应用线路图

### 典型应用图

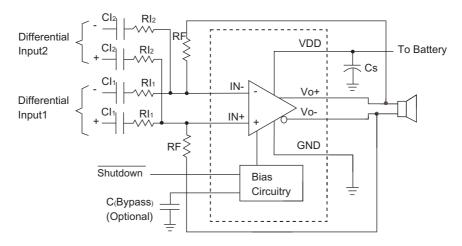


图 4 CS6105综合两路差分输入的应用线路图

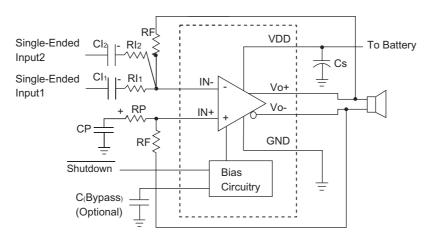


图 5 Cs6105综合两路单端输入的应用线路图

Jul,2010 Rev.1.0

#### 极限参数表 1

参数	描述	数值	单位
$V_{DD}$	无信号输入时供电电源	0.3 to 6	V
V <sub>I</sub>	输入电压	-0.3toVDD+0.3	V
TJ	结工作温度范围	-40to150	°C
T <sub>SDR</sub>	引脚温度(焊接10秒)	260	°C
T <sub>STG</sub>	存储温度范围	-65to150	°C

### 推荐工作环境

参数	描述	数值	单位
V <sub>DD</sub>	输入电压	2. 5~5.5	V
TA	环境温度范围	-40~85	°C
Tj	结温范围	-40~125	°C

# 热效应信息<sup>2</sup>

参数	描述	数值	单位
θ <sub>JA</sub> <sup>(DFN8)</sup>	封装热阻芯片到环境热阻	80	°C/W
θ <sub>JA</sub> (MSOP8)	封装热阻芯片到环境热阻	160	°C/W

### 订购信息

产品型号	封装形式	器件标识	包装尺寸	卷带宽度	数量
CS6105M	MSOP-8L	6105M xxxxx	13"	12mm	3000 units
CS6105D	DFN3X3_8L	6105D xxxxx	13"	12mm	5000 units
CS6105T	DFN2X2_8L	6105T xxxxx	7"	8mm	3000 units

#### ESD 范围

ESD 范围HBM(人体静电模式) ------ ±2kV ESD 范围MM( 机器静电模式) ------ ±200V

- 1. 上述参数仅仅是器件工作的极限值 , 不建议器件的工作条件超过此极限值 , 否则会对器件的可靠性及寿命产生影响, 甚至造成永久性损坏。
- 2. PCB板放置CS6105系列的地方,需要有散热设计。使得CS6105系列底部的散热片和PCB板的散热区域相连,并通过过孔和地相连。

page5 Jul,2010 Rev.1.0

**电气参数** T<sub>A</sub>=25°C 增益=1V/V

符号	描述	测试条例	<b>'</b> ‡	最小值	典型值	最大值	单位
Voo	输出失调电压 (差分状态下测量)	V <sub>I</sub> = 0V, V <sub>DD</sub> =2.5V to 5.5	V			9.0	mV
		D 00 V + V	V <sub>DD</sub> = 5.5V		0.30	0.46	
Vol	输出低电平电压	V <sub>IN</sub> -=V <sub>DD</sub>	V <sub>DD</sub> = 3.6V		0.22		V
			V <sub>DD</sub> = 2.5V		0.19	0.26	
		RL=8Ω,VIN+=VDD	V <sub>DD</sub> = 5.5V	4.8	5.12		
Vон	输出高电平电压	V <sub>IN</sub> -=0V or V <sub>IN</sub> +=0V V <sub>IN</sub> -=V <sub>DD</sub>	V <sub>DD</sub> = 3.6V		3.28		٧
			V <sub>DD</sub> = 2.5V	2.1	2.24		
Ін	高电平输入电流	V <sub>DD</sub> = 5.5V, V <sub>I</sub> = 5.8V	V <sub>DD</sub> = 5.5V, V <sub>I</sub> = 5.8V			1.2	μA
IIL	低电平输入电流	V <sub>DD</sub> = 5.5V, V <sub>I</sub> = -0.3V				1.2	μA
loo	静态电流	V <sub>DD</sub> = 2.5V to 5.5V, 无负 shutdown=V <sub>IH</sub>	V <sub>DD</sub> = 2.5V to 5.5V, 无负载 shutdown=V <sub>IH</sub>		1.7	2.0	mA
IDD(SD)	关断电流	V <sub>DD</sub> = 2.5V to 5.5V, 无负载 shutdown=V <sub>IL</sub>			0.01	0.9	μA
VIL	输入低电平有效电压	SHUTDOWN		1.15			V
VIH	输入高电平有效电压	SHUTDOWN				0.5	V

Jul,2010 Rev.1.0 page6

# 工作特性

(T<sub>A</sub> = 25°C, 增益 = 1V/V, R<sub>L</sub> = 8Ω, 除非特殊说明)

符号	描述	测试条		最小值	典型值	最大值	单位
		THD + N = 1 %, f = 1 kHz, VDD	= 5V ,RL = 8Ω		1.35		
		THD + N = 1 %, f = 1 kHz, V <sub>DD</sub>	= 4.2V ,R <sub>L</sub> = 8Ω		0.92		
		THD + N = 1 %, f = 1 kHz, V <sub>DD</sub> = 3.6V ,R <sub>L</sub> = 8Ω			0.7		
_	Po 输出功率	THD + N = 1 %, f = 1 kHz, VDD	= 5V ,RL = 4Ω		2.07		
Po		THD + N = 1 %, f = 1 kHz, V <sub>DD</sub>	= 4.2V ,R <sub>L</sub> = 4Ω		1.48		W
		THD + N = 1 %, f = 1 kHz, V <sub>DD</sub>	= 3.6V ,R <sub>L</sub> = 4Ω		1.08		
		THD + N = 10%, f = 1 kHz, V <sub>DI</sub>	o= 5V ,R <sub>L</sub> = 8Ω		1.65		
		THD + N = 10%, f = 1 kHz, VD	D= 5V ,RL = 4Ω		2.72		
		$V_{DD} = 5V, P_0 = 1W, f = 1kHz$	$V_{DD} = 5V, P_{O} = 1W, f = 1kHz, RL = 8\Omega$		0.02%		
	台址由共吉	$V_{DD} = 3.6V, P_O = 0.5W, f = 1k$	Hz ,RL = 8Ω		0.03%		%
THD+N	总谐波失真	$V_{DD} = 5V, P_0 = 1W, f = 1kHz$	$R_L = 4\Omega$		0.03%		70
		$V_{DD} = 3.6V, P_0 = 0.5W, f = 1kHz, RL = 4\Omega$			0.04%		
		$C_{(BYPASS)} = 0.47 \mu F, V_{DD} = 3.6 V to 5.5 V, Inp uts ac-grounded w ith C_I = 2 \mu F$	f =217Hz to 2k Hz, V <sub>RIPPLE</sub> = 200mV <sub>PP</sub>		-87		dB
K <sub>SVR</sub>	电源电压抑制比	C <sub>(BYPASS)</sub> = 0.47μF, V <sub>DD</sub> = 2.5V to 3.6V 交流輸入接地 C <sub>I</sub> =2μF	f = 217Hz to 2kHz, V <sub>RIPPLE</sub> = 200mV <sub>PP</sub>		-82		dB
		C <sub>(BYPASS)</sub> = 0.47μF, V <sub>DD</sub> = 2.5V to 5.5V 交流输入接地 C <sub>I</sub> = 2μF	f = 40Hz to 20kHz, V <sub>RIPPLE</sub> = 200mV <sub>PP</sub>		≤ -74		dB
SNR	信噪比	V <sub>DD</sub> = 5V, P <sub>O</sub> =1W			104		dB
	**********		无加权		17		
$V_N$	输出电压噪声	f = 20Hz to 20kH z	A加权		13		$\mu V_{RMS}$
CMRR	共模抑制比	V <sub>DD</sub> = 2.5V to 5.5 V, resistor tolerance = 0.1%, gain =	f = 20Hz to 1kHz		≤ -85		dB
OWINT	7 (150) (150)	$4V/V, V_{ICM} = 200 \mathrm{mV_{PP}}$	f = 20Hz to 20kH z		≤ -74		uБ
Zı	输入阻抗		<u> </u>		2		mΩ
Zo	输出阻抗	关断模式		>10k			Ω
	关断衰减	$f = 20$ Hz to 20kH z, $R_F = R_1 = 20$ kΩ		-80			dB
Twu	启动时间	VDD=3.3V,Cbypass=1µF			30		ms

page7 Jul,2010 Rev.1.0

### 典型特征曲线

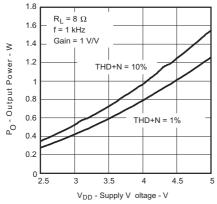


Figure 6.Output power vs supply voltage

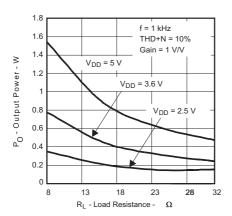
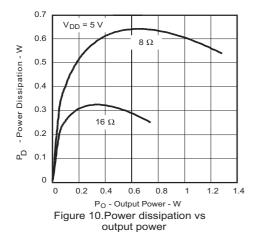


Figure 8.Output Power vs load resistance



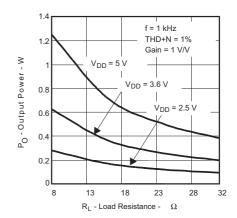


Figure 7.Output Power vs load resistance

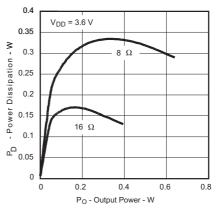


Figure 9.Power dissipation vs output power

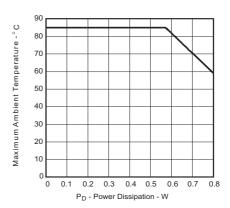


Figure 11.Maximum ambient temperature vs power dissipation

page8 Jul,2010 Rev.1.0

### 典型特征曲线

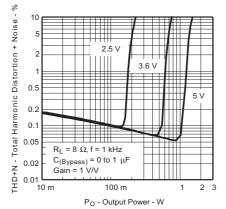


Figure 12.Total harmonic distortion +noise vs output power

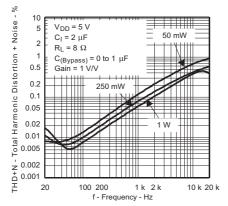


Figure 14.Total harmonic distortion +noise vs frequency

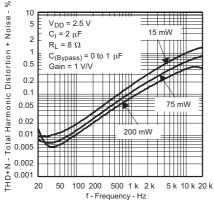
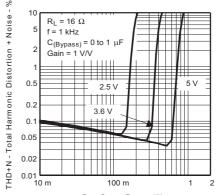


Figure 16.Total harmonic distortion +noise vs frequency



P<sub>O</sub> - Output Power - W
Figure 13.Total harmonic distortion
+noise vs output power

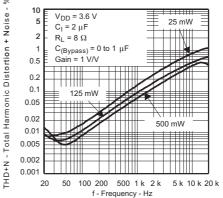


Figure 15.Total harmonic distortion +noise vs frequency

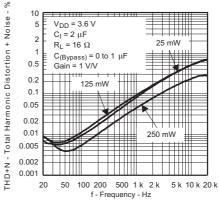


Figure 17.Total harmonic distortion +noise vs frequency

page9 Jul,2010 Rev.1.0

### 典型特征曲线

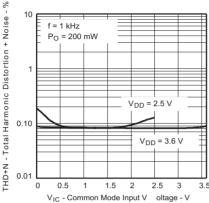


Figure 18.Total harmonic distortion+noise vs common mode inout voltage

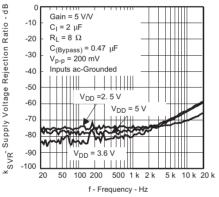


Figure 20.Supply voltage rejection ratio vs frequency

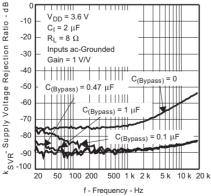


Figure 22. Supply voltage rejection ratio vs frequency

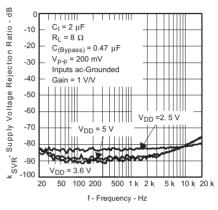


Figure 19.Supply voltage rejection ratio vs frequency

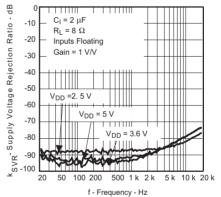


Figure 21.Supply voltage rejection ratio vs frequency

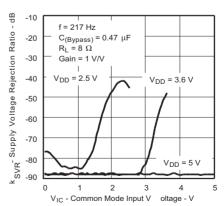


Figure 23.Supply voltage rejection ratio vs commom mode input voltage

page10 Jul,2010 Rev.1.0

### 典型特征曲线

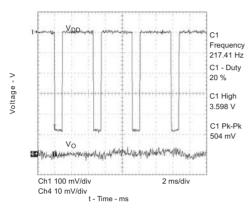


Figure 24.GSM power supply rejection vs time

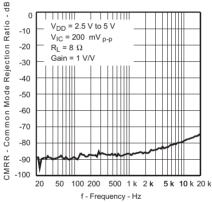
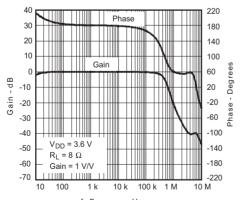


Figure 26.Common mode rejection ratio vs frequency



f - Frequency - Hz Figure 28.Closed loop gain/phase vs frequency

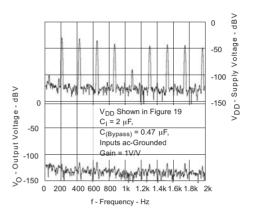


Figure 25.GSM power supply rejection vs frequency

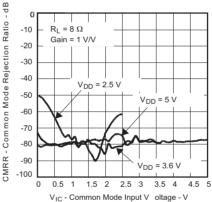


Figure 27.Common mode rejection ratio vs common mode input voltage

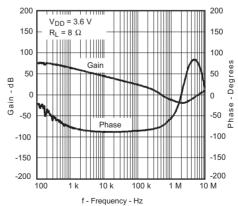


Figure 29.Open loop gain/phase vs frequency

page11 Jul,2010 Rev.1.0

### 典型特征曲线

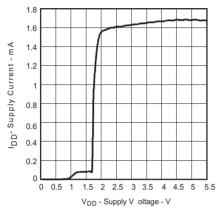
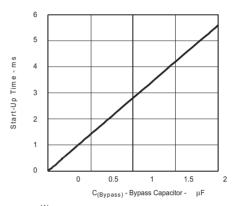


Figure 30.Supply current vs supply voltage



(1) Start-Up time is the time it takes (from a low-to-high transition on SHUTDOWN) for the gain of the amplifier to reach -3 dB of the final gain.

Figure 31.Start-up time (1) vs bypass capacitor

page12 Jul,2010 Rev.1.0

### 应用信息

#### 全差分音频功放

CS6105是一款输入输出都是全差分结构的音频功放。 它由一个差分运放和一个共模运放组成.差分运放确保差 分输出的交流电压等于差分输入的电压乘以增益。共模反 馈确保输出的共模电压始终在VDD/2附近而不受输入共模 电压的影响。

#### 全差分音频功放的优点

不需要输入耦合电容: CS6105具有良好的共模抑制比, 输入信号无需共模在VDD/2处如DAC的偏置电压小于CS6105的偏置电压,则共模反馈电路调整的是:CS6105的输出仍然偏置在VDD/2处。输入电压的偏置范围在0.5V到VDD-0.8V之间,如果超出这个范围,那就必须使用输入耦合电容。

不需要bypass旁路电容:全差分结构的音频功放不需要旁路电容,这是因为偏置电压任何变换对正负通道均衡性的影响都会在差分输出的时候被消除。取消旁路电容会轻微降低电源抑制比(KSVR),如果 KSVR的轻微下降对电路性能没什么影响,我们就可以省略掉bypass电容这个额外的元器件(见Figure22)。

更好的抗射频干扰:GSM手机由于省电的需要以217HZ的频率开启和关闭射频发送,导致电源上产品217HZ的纹波。全差分结构的音频功放对纹波的抑制要明显好于传统类型的音频功放。

#### 应用线路图

图1和图 5显示了差分和单端输入的应用线路图。元器件的典型值如下表所示:

表1. 元器件的典型值

元器件	值	
Rı	10kΩ	
RF	10kΩ	
CBYPASS*	0.22µF	
Cs	1μF	
Cı	0.22µF	
*CBYPASS: 在推荐设计中为可选		

#### 电阻 (RF和 RI)

通过下列的公式由输入电阻 (RI)和反馈电阻 (RF)来设置 CS6105的增益:

 $R_F$  和  $R_I$  的范围从 $1k\Omega$  到 $100k\Omega$ 。推荐的电阻设置为 $R_F=R_I=20k\Omega$ 。

电阻的匹配对全差分结构的音频功放来说是非常重要的, 建议使用精度在1%或者更好的电阻使得CS6105的性能 得到更好的体现。

#### 旁路电容 (CBYPASS) 和启动时间

Bypass管脚通过内部的电压驱动器来设置偏置电压和输出共模电压为VDD/2,在bypass管脚接电容能够滤除噪声和减少电源纹波。CS6105启动时,Bypass电容能够决定Vo+和Vo-的上升沿时间,电容越大,上升沿的时间越长。虽然上升沿的时间取决于bypass电容,但是CS6105在启动 4 ms之后就能出音频信号,Bypass电容只是能够决定增益增加的快慢。

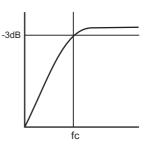
为了尽量减少 pops and clicks, 输入端 IN+ 和 IN-的电路阻抗(电阻和电容)要一致。

#### 输入电容

CS6105不要求使用输入耦合电容 , 如果输入使用差分信号源那么电压的偏置范围在0.5V到VDD-0.8V之间.如果不使用输入耦合电容那么就要选择精度在1%或者更好的增益设置电阻。

在单端输入的应用中 , 音频功放的输入信号必须被偏置在一个合适的DC电平上 在这种情况下 CI 和RI组成一个高通滤波器, 其截止频率可由下面的公式 2 推算出。

$$fc = \frac{1}{2\pi R_1 C_1}$$
 (2)



输入电容的值非常重要,一般认为它直接影响着电路的低频性能。结合例子,当RI=10kΩ,规范要求的低音响应下降到100赫兹。由公式2推导出公式3。

表1提供了在推荐应用中输入电容Bypass可选电容的元件规范值。

$$C_{i} = \frac{1}{2\pi R_{i} f_{c}}$$
 (3)

我们可选的容值范围是 0.22 uF 到0.47 uF。 考虑到输入电容有一个漏电通道即输入信号通过输入网络(RI, CI)和反馈电阻到负载。这个漏电流在功放的输入端会产品一个DC失调电压,从而导致功放的动态余量减少 ,特别是在高增益的情况下。基于这个原因,输入电容尽量选择陶瓷电容,如果使用有极性的电容,电容的正端应该接在信号输入端口,负端接在功放上,这对应用来说非常重要。

page13 Jul,2010 Rev.1.0

#### 去耦电容 (Cs)

CS6105是一个高性能的CMOS音频放大器 ,它需要足够 的电源去耦,以确保输出的总谐波失真 (THD)则尽可能 低。电源去耦能够阻止功放和扬声器之间因为线长而引起 的振荡。为得到良好的高频瞬态性能以及去除电源上的尖 峰,希望电容的ESR值要尽量的小,一般选择典型值为 uF到1uF的电容旁路到地。去耦电容在布局上应该尽可能 的靠近芯片的VDD放置。靠近功放放置一个 10uF或者更 大的电容对滤除低频噪声信号也有帮助 , 因为CS6105具 有高PSRR的特性 , 所以在大多数应用中这个电容也可以 不用。

#### 两路差分信号的混合

两路差分信号的混音需要两个额外的电阻(总共10个元器 件),可以单独设置每路输入信号源的增益(见公式4和 公式5和图4)。

Gain 1= 
$$\frac{Vo}{VI_1} = \frac{RF}{RI_1} \left(\frac{V}{V}\right)$$
 (4)

Gain 2= 
$$\frac{Vo}{VI_2}$$
 =-  $\frac{RF}{RI_2} \left(\frac{V}{V}\right)$  (5)

### 一路差分信号和一路单端信号的混音

图5显示了差分输入信号和单端输入信号是如何混音的。 使用这个方法通过 IN脚的噪声会被抑制掉。为了确保每 个通道的平衡,单端输入的信号源必须低阻抗。为了具备 更好的性能,两路输入要有一致的阻抗和容抗匹配,因此使 用了RP和CP.其值的选取遵照下列公式:

#### 使用低ESR值的电容

在整个应用环节中都推荐使用低ESR电容。一个真正的实 际电容可以看做是一个电阻串联一个理想的电容。在电路 中电阻两端的电压降影响着电容的性能,等效电阻越低,实 际的电容性能越接近理想电容.

#### 差分输出和单端输出的对比

图32显示了一个全差分结构的ClassAB音频功放。 CS6105 差分输出驱动负载的两端 。 一端波形向上,则 另外一端波形向下,反之亦然。负载端对地参考电压的幅 度是输入信号2倍的关系,那么相对于传统单端输出结构的 音频功放, 在同样的电源电压以及负载阻抗的条件下,输 出功率是4倍的关系。(见公式 6).

$$V(rms) = \frac{Vo(pp)}{2\sqrt{2}}$$

$$Power = \frac{V(rms)}{RI}$$
(6)

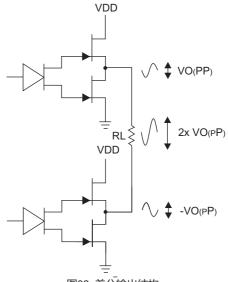


图32. 差分输出结构

手机应用的典型工作电压为3.6V , 单端输出的应用时 , 桥 接8Ω的扬声器,输出功率的范围是200 mW到800 mW.图 33显示了单端输出的结构。输出管脚需要一个耦合电容以 达到去除输出的直流偏置电压.这个电容的容值要求比较 大(大约 33uF 到 1000uF),因此这个电容即贵又大,且很 占PCB面积,另外它也限制了系统的低频性能。这个低频 限制是由于高通滤波网络和扬声器的电阻和耦合电容一起 造成的。通过下面的公式7可以算出这个截止频率。

$$fc = \frac{1}{2\pi R_L C_C}$$
 (7)

例如一个68uF电容和8Ω扬声器将会衰减 293 Hz以下的频 率。 BTL结构消除了直流偏置,从而消除了输出的Cc电容 .系统的低频性能只受输入网络和扬声器反应的影响。这 样就降低了成本,节省了PCB的面积。

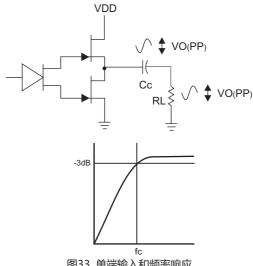


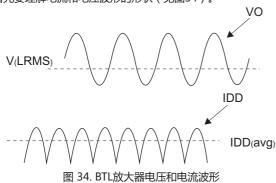
图33. 单端输入和频率响应

但是,负载上功率的增加对功放内部的耗散是不利的。 BTL结构产生的输出功率4倍于单端结构的输出功率,因此 BTL结构的功放由于内部耗散产生的不利影响也大于单端 结构的功放。

#### 差分功放效率以及热阻信息

Class-AB音频功放效率不高。效率低下的主要原因是因为整个输出级晶体管的电压降。内部电压降有两个组成部分,一个是跟输出功率成反比的直流电压降,另外一个由交流输出决定.总电压降由VDD减去输出电压的RMS值得出.内部电压降决定了功放内部的功率耗散。

功放的效率是负载消耗的功率和功放供电电源消耗功率的 比值。为了准确的计算负载的有效值和功放功率的平均值, 首先要理解电流和电压波形的形状(见图34)。



虽然单端结构和BTL结构的功放在负载上的电压和电流都是正弦波。但是两种结构的电流是非常不同的.在单端应用中电流是半波形状。BTL应用中电流波形是全波形状.这意味着有效值转换因子是不同的。大多数的波形推拉晶体管都不在同一个时间开启. 因此BTL结构的功放只吸引来自电源一半波形的电流。下面的公式是计算功放效率的基

$$\eta_{\text{BTL}} = \frac{\pi \sqrt{2PLRL}}{4VDD}$$
(8)

PL= 负载消耗的功率

**n**<sub>BTL</sub>= BTL 功放的效率

表 2. Efficiency and Maximum Ambient Temperature vs Output Power in 5-V 8- $\Omega$  BTL Systems

输出 功率 (W)	效率 (%)	内部 耗散 (W)	电源 功率 (W)	最大环境 温度 (°C)
0.25	31.4	0.55	0.75	62
0.50	44.4	0.62	1.12	54
1.00	62.8	0.59	1.59	58
1.35	70.2	0.53	1.78	65

表2采用的公式 8 计算出4个不同输出功率的效率。功放在低功率水平的时候,效率是非常低的。负载上的输出功率是电源上输出功率一半以下的时候,适当的电源设计就很重要。对于一个5V电源供电的系统下,对8Ω负载提供1.25W功率的音响系统来说,设计电源的输出功率最大要接近1.8 W。

在差分輸出的应用中 ,用一个简单的公式来计算最大的功率耗散 (PDmax。)

$$PDmax = \frac{2V\mathring{D}D}{\pi RI}$$
 (9)

Pdmax for a 5V,  $8\Omega$  system is 634 mW.

最高环境问题取决PCB系统的散热能力。封装热阻信息表中显示了各种封装的热阻信息,用θJA表示,θJA与封装的额定值降低因子有关:

 $\theta_{JA}=1/Derating\ Factor=1/0.0088=113^{\circ}C/W\ (10)$ 

鉴于0JA,最大允许结温,最大内部功耗,最高环境温度可以用下面的公式计算。推荐的CS6105最高结温度为125°C。

TAmax=TJmax- $\theta$ JAPDmax=125-113(0.634)=53.3°C (11)

公式11显示了在5V供电和最大输出功率的情况下 ,最高的环境温度是53.3°C。

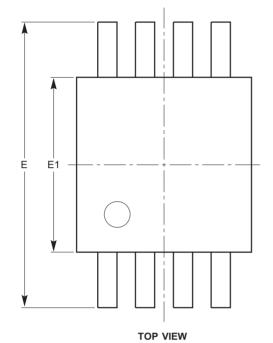
page15 Jul,2010 Rev.1.0

unit:mm

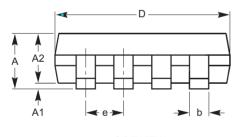
# 2.7W单声道全差分 AB 类音频放大器

# 封装信息

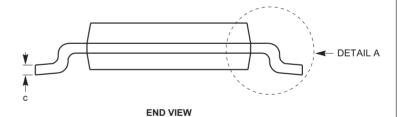
### CS6105M MSOP\_8L



SYMBOL	MIN	NOM	MAX
Α			1.10
A1	0.05	0.10	0.15
A2	0.75	0.85	0.95
b	0.22		0.38
С	0.13		0.23
D	2.90	3.00	3.10
E	4.80	4.90	5.00
E1	2.90	3.00	3.10
е		0.65 BSC	
L	0.40	0.60	0.80
L1	0.95 REF		
L2	0.25 BSC		
q	0°		6°



SIDE VIEW



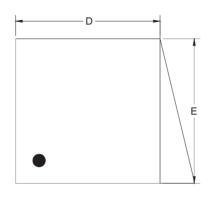
DETAIL A

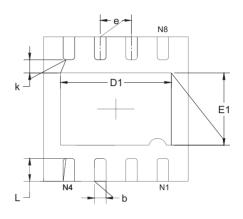
#### Notes:

- (1) 所有尺寸都为毫米
- (2) 参考JEDEC MO-187标准

page16 Jul,2010 Rev.1.0

# 封装信息 CS6105D DFN 3x3\_8L





**TOP VIEW** 

**BOTTOM VIEW** 



**SIDE VIEW** 

Symbol	Dimensions In Millimeters			nsions ches
	Min	Max	Min	Max
А	0.700	0.800	0.028	0.031
A1	0.000	0.050	0.000	0.002
A2	0.203 REF		0.008	REF
D	2.900	3.100	0.114	0.122
D1	2.200	2.400	0.087	0.094
E	2.900	3.100	0.114	0.122
E1	1.400	1.600	0.055	0.063
k	0.200 MIN		0.008	3 MIN
b	0.180	0.300	0.007	0.012
е	0.650 TYP		0.026 TYP	
L	0.375	0.575	0.015	0.023

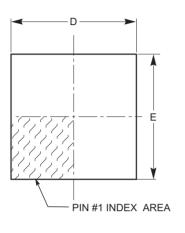
#### Notes:

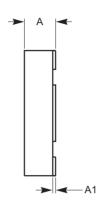
- (1) 所有尺寸都为毫米
- (2) 参考JEDEC MO-229标准

page17 Jul,2010 Rev.1.0

# 封装信息

CS6105T DFN 2X2\_8L

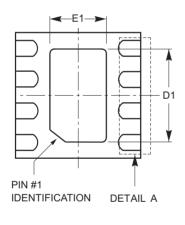


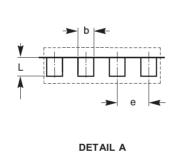


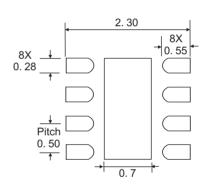
SYMBOL	MIN NOM N		MAX	
А	0.70	0.75	0.80	
A1	0.00	0.02	0.05	
b	0.18	0.18 0.25		
D	2.00BSC			
D1	1.10 1.20 1.30			
E		2.00BSC		
E1	0.50 0.60 0.70			
е	0.50 BSC			
L	0.30	0.35	0.40	

TOP VIEW

SIDE VIEW







UNIT:mm

#### **BOTT OM VIEW**

#### **Recommended Land Pattern**

#### Notes:

- (1) 所有尺寸都为毫米
- (2) 参考JEDEC MO-229标准

page18 Jul,2010 Rev.1.0



### MOS电路操作注意事项:

静电在很多地方都会产生,采取下面的预防措施,可以有效防止MOS电路由于受静电放电影响而引起的损坏:

- 操作人员要通过防静电腕带接地。
- 设备外壳必须接地。
- 装配过程中使用的工具必须接地。
- 必须采用导体包装或抗静电材料包装或运输。

#### 声明:

- 本公司保留说明书的更改权,恕不另行通知!客户在使用前应获取最新版本资料,并验证相关信息 是否完整和最新。
- 任何半导体产品在特定条件下都有一定的失效或发生故障的可能,买方有责任在使用本公司产品进行系统设计和整机制造时遵守安全标准并采取安全措施,以避免潜在失败风险可能造成人身伤害或财产损失情况的发生!
- 产品品质的提升永无止境,本公司将竭诚为客户提供更优秀的产品!

Jul,2010 Rev.1.0